

011499693 **Image available**

WPI Acc No: 1997-477606/199744

XRPX Acc No: N97-398390

Shift register circuit for LCD device - has set of transfer gates whose
PN channel transistors are connected to same clock signal line

Patent Assignee: SHARP KK (SHAF)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9223948	A	19970826	JP 9628337	A	19960215	199744 B

Priority Applications (No Type Date): JP 9628337 A 19960215

Patent Details:

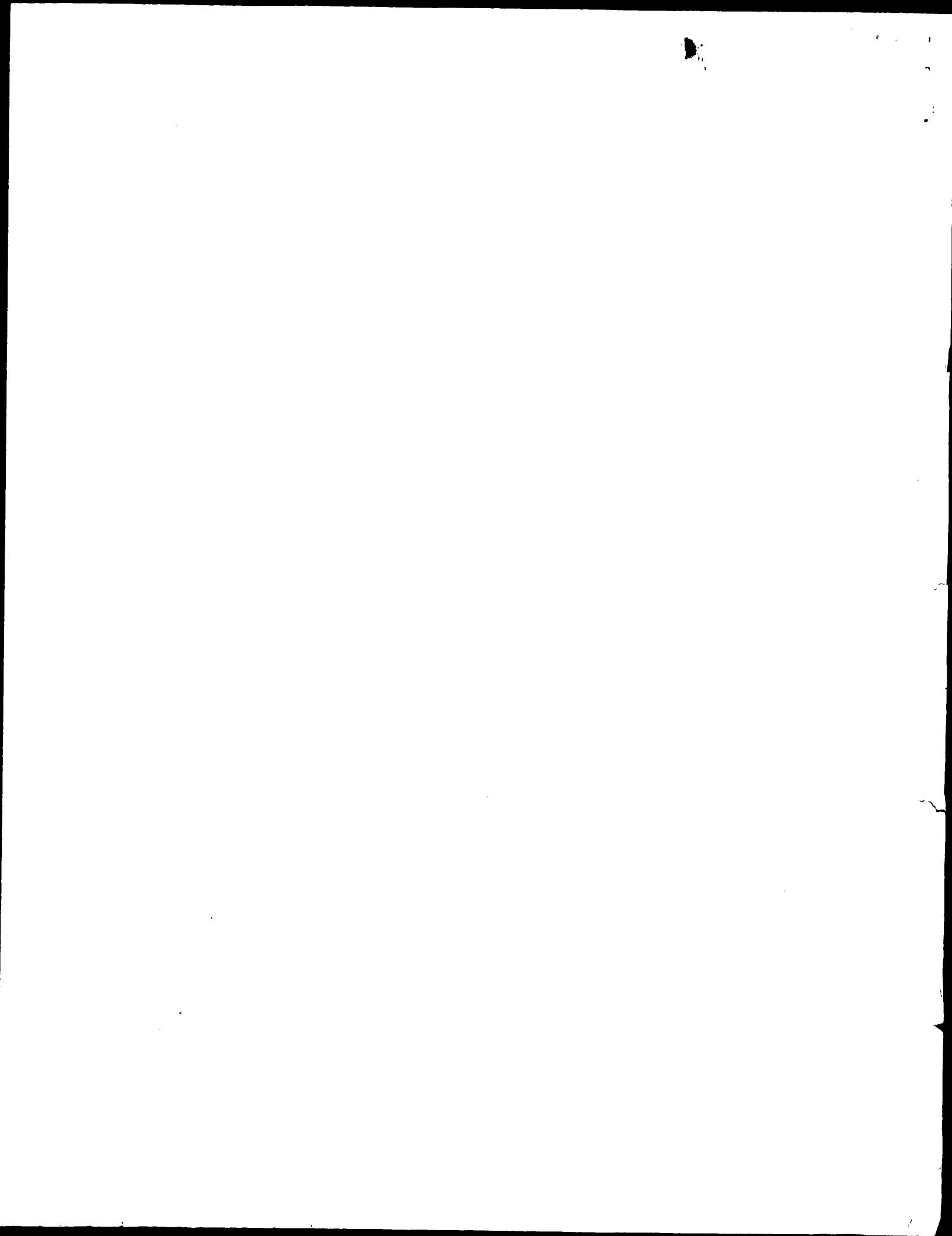
Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 9223948	A	10	H03K-003/037	

Abstract (Basic): JP 9223948 A

The circuit consists of a set of transfer gates (G1-G5) and
inverters (In1-In5) connected serially/parallelly. The transfer gate
consists of PN channel type transistor.

The PN channel type transistors are arranged alternately, for each
shift register module. The gate electrode of all the PN channel
transistors are connected to a same signal line of a clock (CLK).

ADVANTAGE - Reduces power consumption. Simplifies operation.
Enables to attain high quality display image.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-223948

(43)公開日 平成9年(1997)8月26日

(51)Int.Cl. ^b	識別記号	序内整理番号	F I	技術表示箇所
H 03 K	3/037		H 03 K 3/037	Z
	3/356		H 04 N 5/66	B
H 04 N	5/66		H 03 K 3/356	Z

審査請求 未請求 請求項の数 5 OL (全 10 頁)

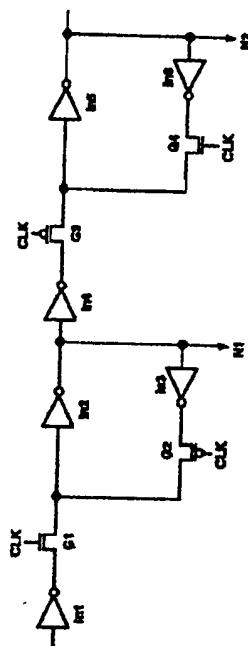
(21)出願番号	特願平8-28337	(71)出願人	000005048 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成8年(1996)2月15日	(72)発明者	久保田 靖 大阪府大阪市阿倍野区長池町22番22号 シ ヤープ株式会社内
		(72)発明者	加藤 慧一 大阪府大阪市阿倍野区長池町22番22号 シ ヤープ株式会社内
		(74)代理人	弁理士 梅田 勝

(54)【発明の名称】 シフトレジスタ回路および画像表示装置

(57)【要約】

【課題】 クロック信号に同期してデジタル信号を転送するシフトレジスタ回路において、低消費電力化を図る。

【解決手段】 クロック信号に同期してデジタル信号を転送するスタティック型シフトレジスタ回路において、上記シフトレジスタ回路は3個のインバータと2個の片チャネル構成の転送ゲートからなっている。そして、nチャネル型トランジスタよりなる転送ゲートと、pチャネル型トランジスタよりなる転送ゲートは、シフトレジスタ回路1段毎に交互に配置され、かつ、上記転送ゲートのゲート電極は、全て同一のクロック信号線に接続されている。これにより、クロック信号線数が削減されるので、低消費電力化が実現できる。



【特許請求の範囲】

【請求項1】 転送ゲートとインバータ回路からなり、クロック信号に同期してデジタル信号を転送するシフトレジスタ回路において、上記転送ゲートはpチャネル型トランジスタ又はnチャネル型トランジスタよりなり、上記nチャネル型トランジスタよりなる転送ゲートと、上記pチャネル型トランジスタよりなる転送ゲートが、シフトレジスタ回路1段毎に交互に配置され、上記pチャネル型トランジスタ及びnチャネル型トランジスタのゲート電極は全て同一のクロック信号線に接続されていることを特徴とするシフトレジスタ回路。

【請求項2】 上記クロック信号線に供給されるクロック信号の電圧振幅は、上記シフトレジスタ回路の駆動電圧よりも大きいことを特徴とする請求項1に記載のシフトレジスタ回路。

【請求項3】 上記転送ゲートの出力側に、上記転送ゲートの出力端子をドレイン電極、電源端子（または接地端子）をソース電極、次段インバータ回路の出力端子をゲート電極に接続したnチャネル型トランジスタおよびpチャネル型トランジスタを有することを特徴とする請求項1に記載のシフトレジスタ回路。

【請求項4】 マトリクス状に設けられた複数の画素電極と、該画素電極に書き込む映像データを供給するデータ信号線と、該画素電極への書き込みを制御する走査信号線と、タイミング信号に同期して上記データ信号線に映像信号を出力するデータ信号線駆動回路又はタイミング信号に同期して上記走査信号線にパレス信号を出力する走査信号線駆動回路を備えたアクティブ・マトリクス型画像表示装置において、

上記データ信号線駆動回路又は走査信号線駆動回路に、インバータ回路と、nチャネル型トランジスタよりなる転送ゲート又は上記pチャネル型トランジスタよりなる転送ゲートがシフトレジスタ回路1段毎に交互に配置され、上記nチャネル型トランジスタ及びpチャネル型トランジスタのゲート電極は、全て同一のクロック信号線に接続されているシフトレジスタ回路を備えることを特徴とする画像表示装置。

【請求項5】 上記画像表示装置において、上記データ信号線駆動回路又は上記走査信号線駆動回路が上記画素電極と同一基板上に形成されていることを特徴とする請求項4に記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、クロック信号に同期してデジタル信号を転送するシフトレジスタ回路に関するものであり、特に、クロック信号線数を削減することにより、低消費電力化を実現したシフトレジスタ回路及びこのシフトレジスタ回路をデータ信号線駆動回路または走査信号線駆動回路に適用した画像表示装置に係る

ものである。

【0002】

【従来の技術】 本発明の対象であるシフトレジスタ回路は、様々な分野で利用されているものであるが、ここでは、画像表示装置、特に、液晶表示装置に適用したものを例にとって説明する。しかし、これに限らず、同様な目的に対しては他の分野においても利用することができる。

【0003】 液晶表示装置の一つとして、アクティブ・マトリクス駆動方式が知られている。この液晶表示装置は、図4に示すように、画素アレイARYと、走査信号線駆動回路GDと、データ信号線駆動回路SDとからなっている。画素アレイARYには、互いに交差する多数の走査信号線GLと多数のデータ信号線SLとを備えており、隣接する2本の走査信号線GLと隣接する2本のデータ信号線SLとで包囲された部分に、画素電極PIXがマトリクス状に配置されている。データ信号線駆動回路SDは、クロック信号CKS等のタイミング信号に同期して、入力された映像信号DATをサンプリングし、必要に応じて增幅して、各データ信号線SLに書き込む働きをする。走査信号線駆動回路GDは、クロック信号CKG等のタイミング信号に同期して、走査信号線GLを順次選択し、画素電極PIX内にあるスイッチング素子の開閉を制御することにより、各データ信号線SLに書き込まれた映像信号（データ）を各画素電極PIXに書き込むとともに、各画素電極PIXに書き込まれたデータを保持する働きをする。

【0004】 図4における各画素電極PIXの詳細な等価回路は、図5に示すように、スイッチング素子である電界効果トランジスタSWと、画素容量（液晶容量C1および必要によって付加される補助容量Csよりなる）とによって構成される。図5において、スイッチング素子であるトランジスタSWのドレイン及びソースを介してデータ信号線SLと画素容量の一方の電極とが接続され、トランジスタSWのゲートは走査信号線GLに接続され、画素容量の他方の電極は全画素に共通の共通電極線に接続されている。そして、各液晶容量C1に印加される電圧により、液晶の透過率または反射率が変調され、表示に供する。

【0005】 上記アクティブ・マトリクス型液晶表示装置は、トランジスタSWの基板材料として透明基板上に形成された非晶質シリコン薄膜が用いられて、逆スタガ型、スタガ型薄膜トランジスタが構成され、走査信号線駆動回路GDやデータ信号線駆動回路SDは液晶表示パネルに実装される外付けICで構成されている。

【0006】 そして、近年、大画面化に伴う画素トランジスタの駆動力向上や、駆動ICの実装コストの低減、或いは、実装における信頼性等の要求から、多結晶シリコン薄膜を用いて、モノリシックに画素アレイと走査信号線駆動回路GD及び/又はデータ信号線駆動回路SD

Dを形成する技術が報告されている。更に、より大画面化および低コスト化を目指して、ガラスの歪み点（約600°C）以下のプロセス温度で、素子をガラス基板上の多結晶シリコン薄膜で形成することも試みられている。例えば、図6に示すように、絶縁性基板Sub上に、画素アレイARRYと走査信号線駆動回路GD、データ信号線駆動回路SDが同時に生産されて搭載され、これにタイミング信号生成回路CTLと電源電圧生成回路VGENが接続される構成がとられている。

【0007】次に、データ信号線駆動回路の構成について述べる。データ信号線駆動回路としては、映像データをデータ信号線に書き込む方式の違いから、様々な駆動方式のものが知られているが、ここでは最も単純な点順次駆動方式のものを例に挙げて説明する。他の駆動方式においても、出力回路（点順次駆動方式ではサンプリング回路に相当）の構成が異なる以外は同様の構成である。

【0008】点順次駆動方式の駆動回路は、図7に示すように、映像信号線DATに入力された映像信号を、シフトレジスタ回路SRの各段の出力パルスを複数のインバータを介して供給することにより、シストレジスタ回路SRに同期させてサンプリングスイッチASWを順次開閉動作させ、データ信号線SLに順次書き込むものである。

【0009】一方、走査信号線駆動回路は、図8に示すように、シフトレジスタ回路SRの各段の出力パルス信号（必要に応じて、他の信号との論理演算結果）を増幅することにより、走査信号線GLに走査信号を出力している。

【0010】以上のように、上記いずれの駆動回路においても、パルス信号を順次転送するシフトレジスタ回路SRが用いられている。このシフトレジスタ回路の従来の構成例を図9及び図10に示す。シフトレジスタ回路の1段分は、図9の構成では1個のインバータと2個のクロックトインバータ、図10の構成では3個のインバータと2個のCMOS転送ゲートから成っている。ここで2個のクロックトインバータまたは2個のCMOS転送ゲートには、それぞれ逆位相のクロック信号CLKと/ $\bar{C}LK$ が入力されている。また、隣接するシフトレジスタ回路には、それぞれ逆位相のクロック信号が入力されている。図11は、クロックトインバータの内部構成図を示し、電源Vccと接地間にpチャネル型入力トランジスタTr1、pチャネル型クロックトランジスタTr2、nチャネル型クロックトランジスタTr3、nチャネル型入力トランジスタTr4を直列接続して構成され、トランジスタTr2とトランジスタTr3の接続点より出力が取り出される。

【0011】上述のように、駆動回路に用いられるシフトレジスタ回路は、通常、位相が逆の2つのクロック信号でクロックに同期して駆動されている。そして、この

クロック信号に伴う消費電力は、クロック信号線の容量（配線容量、及び、配線交差部容量、ゲート入力容量など）によってほぼ決まる。ここで、シフトレジスタ回路を液晶表示装置に適用する場合を考えると、クロック信号線の長さは、シフトレジスタ回路の全長、すなわち、表示領域の大きさで決まるため、トランジスタ等のデバイスの微細化が如何に進展しても、長さは殆ど変わらない。むしろ、大画面化に伴い、クロック信号線はますます長くなる傾向にある。また、パネルの高精細化にともない配線交差部が増加するため、その容量も増加傾向にある。一方、微細化に伴ってゲート入力容量は減少するが、その寄与は比較的小さい。以上のように、今後の画像表示装置においては、クロック信号線での消費電力が増大し、画像表示装置としての低消費電力化に支障をきたすことが予想される。

【0012】特に、前述のように、多結晶シリコン薄膜トランジスタでシフトレジスタ回路を構成した場合には、トランジスタの性能が単結晶シリコン基板上のトランジスタに較べて劣っているため、サイズの大きな素子を用い、かつ、高い駆動電圧を供給する必要がある。そのため、クロック信号線で消費される電力は、大幅に増加することになる。

【0013】これに対して、図12に示すように、フィードバック用のクロックトインバータ（または、転送ゲートとインバータ）の替わりにインバータ間にクロック入力されたトランジスタTRとキャバシタCを設けることで素子数を削減し、低消費電力化を図ったダイナミック型のシフトレジスタ回路が提案されている（特開平5-218814号公報）。

【0014】

【発明が解決しようとする課題】図12に示すシフトレジスタ回路は、ゲート入力容量が削減（半減）されるが、クロック信号線の長さや本数は変わらないため、トータルの容量としては変わらずかなり大きくなっている。更に、上述のように、多結晶シリコン薄膜トランジスタでシフトレジスタ回路を構成した場合にはリーク電流が大きいために、ダイナミック回路では、安定した動作が保証されない恐れがある。

【0015】本発明は、このような従来技術の課題を解決すべくなされたものであり、クロック信号線数を削減してその消費電力を削減することができ、かつ、安定した動作が得られるシフトレジスタ回路、及びこれを用いた画像表示装置を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明のシフトレジスタ回路は、転送ゲートとインバータ回路からなり、クロック信号に同期してデジタル信号を転送するシフトレジスタ回路であって、上記転送ゲートはpチャネル型トランジスタ又はnチャネル型トランジスタよりなり、nチャネル型トランジスタよりなる転送ゲートと、pチャネル

型トランジスタよりなる転送ゲートが、シフトレジスタ回路1段毎に交互に配置され、上記pチャネル型トランジスタ及びnチャネル型トランジスタのゲート電極は全て同一のクロック信号線に接続されていることを特徴としているので、そのことにより、上記目的が達成される。

【0017】また、上記シフトレジスタ回路において、上記クロック信号線に供給されるクロック信号の電圧振幅は、上記シフトレジスタ回路の駆動電圧よりも大きいことを特徴としているので、そのことにより、上記目的が達成される。

【0018】また、上記シフトレジスタ回路において、上記転送ゲートの出力側に、上記転送ゲートの出力端子をドレイン電極、電源端子（または接地端子）をソース電極、次段インバータ回路の出力端子をゲート電極に接続したnチャネル型トランジスタおよびpチャネル型トランジスタを有することを特徴としているので、そのことにより、上記目的が達成される。

【0019】本発明の画像表示装置は、マトリクス状に設けられた複数の画素電極と、該画素電極に書き込む画像データを供給するデータ信号線と、該画素電極への書き込みを制御する走査信号線と、タイミング信号に同期して上記データ信号線に映像信号を出力するデータ信号線駆動回路又はタイミング信号に同期して上記走査信号線にパルス信号を出力する走査信号線駆動回路を備えたアクティブ・マトリクス型画像表示装置であって、上記データ信号線駆動回路又は走査信号線駆動回路に、インバータ回路と、nチャネル型トランジスタよりなる転送ゲート又はpチャネル型トランジスタよりなる転送ゲートが、シフトレジスタ回路一段毎に交互に配置され、上記nチャネルトランジスタ及びpチャネル型トランジスタのゲート電極が全て同一のクロック信号線に接続されているシフトレジスタ回路を備えることを特徴としているので、そのことにより、上記目的が達成される。

【0020】また、上記画像表示装置において、上記データ信号線駆動回路および上記走査信号線駆動回路の少なくとも一方が、上記画素と同一基板上に形成されていることを特徴としているので、そのことにより、上記目的が達成される。

【0021】本発明の請求項1に記載のシフトレジスタ回路によれば、nチャネル型トランジスタよりなる転送ゲートと、pチャネル型トランジスタよりなる転送ゲートがシフトレジスタ回路一段毎に交互に配置され、上記pチャネル型トランジスタ及びnチャネル型トランジスタのゲート電極に同一のクロック信号が供給されるから、シフトレジスタ回路は一段毎に交互に動作を行う。ここでシフトレジスタ回路に入力されるクロック信号がただ1つであるので、クロック信号線数が削減され、したがって、クロック信号線での消費電力も小さくなる。

【0022】請求項2に記載のシフトレジスタ回路においては、クロック信号の振幅がシフトレジスタ回路の駆

動電圧よりも大きいので、片チャネル構成の転送ゲートの場合にも十分に大きな振幅の出力信号が得られる。したがって、シフトレジスタ回路の安定動作が実現される。

【0023】請求項3に記載のシフトレジスタ回路においては、転送ゲートの出力側端子に出力レベル補償用のトランジスタを付加しているので、駆動電圧と同等の出力振幅が得られる。したがって、シフトレジスタ回路の安定動作が実現される。

【0024】請求項4に記載の画像表示装置においては、タイミング信号に同期してデータ信号線に映像信号を出力するデータ信号線駆動回路又はタイミング信号に同期して走査信号線にパルス信号を出力する走査信号線駆動回路に上記シフトレジスタ回路を備えるので、上述の理由により画像表示装置の消費電力を削減することが可能となる。

【0025】請求項5に記載の画像表示装置においては、データ信号線駆動回路又は走査信号線駆動回路が上記画素電極と同一基板上に形成されているので、画素電極と同一基板上に同一プロセスで形成することが可能となり、駆動回路の実装コストの低減や信頼性の向上を図ることができる。また、外部接続端子の数が減少するので、更に、実装コストの低減や信頼性の向上を図ることができる。

【0026】

【発明の実施の形態】

（実施の形態1）図1は、本発明に係るシフトレジスタ回路の構成例を示した図である。同図は、シフトレジスタ2段分の回路を示している。

【0027】図1において、1段分のシフトレジスタ回路は、3個のインバータ回路In1, In2, In3と2個の転送ゲートG1, G2から成っている。ここで、2個の転送ゲートは、互いに逆のチャネル型のトランジスタで構成されており、また、隣接するシフトレジスタで対応する位置にある転送ゲートも、互いに逆のチャネル型のトランジスタで構成されている。そして、全ての転送ゲートには同一のクロック信号CLKが入力されている。インバータ回路In1、転送ゲートG1、インバータ回路In2が直列接続され、インバータ回路In3と転送ゲートG2の直列接続がループを形成する。各シフトレジスタ回路段から出力端子Nが導出される。

【0028】ここで、クロック信号がハイレベルにある時には、nチャネル型トランジスタからなる転送ゲートが導通し、pチャネル型トランジスタからなる転送ゲートは非導通状態となる。一方、クロック信号がローレベルにある時には、pチャネル型トランジスタからなる転送ゲートが導通し、nチャネル型トランジスタからなる転送ゲートは非導通状態となる。こうして、半クロック毎に信号が次段のシフトレジスタに転送される。

【0029】この構成を用いることにより、シフトレジスタ回路を動作させるために必要なクロック信号線が1本となるため、クロック信号線に係る寄生容量が大幅に削減され、消費電力も大幅に低減される。

【0030】また、フィードバックループを形成するインバータと転送ゲートがスタティック型回路であるので、回路中に偶発的にリーク電流が大きなトランジスタが存在している場合においても、安定した動作が保証される。

【0031】(実施の形態2) 図2は、本発明に係るシフトレジスタ回路に使用される駆動波形を示した図である。ここで、シフトレジスタ回路の構成は、上記実施の形態1を示す図1と同じである。

【0032】図2において、スタートパルス(シフトレジスタへの入力パルス)SRTの振幅は駆動電源(VCC/GND)と同一であるが、クロック信号CLKの振幅は駆動電源よりも大きくなっている。例えば、転送ゲートを構成するnチャネル型トランジスタの閾値電圧をVtn、転送ゲートを構成するpチャネル型トランジスタの閾値電圧をVtpとすると、クロック信号CLKのハイレベルを(VCC+Vtn)よりも大きし、クロック信号CLKのローレベルを(GND+Vtp)よりも小さくする。

【0033】このようなクロック信号CLKを入力することにより、転送ゲートGが片チャネルのトランジスタのみで構成されている場合にも、転送信号のレベルダウン(振幅の低下)が発生しないため、より安定した動作が得られる。更に、中間レベルの電圧(レベルダウンした信号)がインバータInに入力されることがないため、インバータに貫通電流が流れない。したがって、シフトレジスタ回路の消費電流の増加を抑えることができる。

【0034】(実施の形態3) 図3は、本発明に係るシフトレジスタ回路の構成例を示した図である。同図は、シフトレジスタ2段分の回路を示している。

【0035】図3において、1段分のシフトレジスタ回路は、3個のインバータ回路In11, In12, In13と2個の転送ゲートG11, G12及び2個のレベル補償用トランジスタT1, T2から成っている。このレベル補償用トランジスタT1, T2はソース電極がそれぞれ電源端子及び接地端子に接続され、ドレイン電極が転送ゲートG1の出力端子に接続され、ゲート電極が次段のインバータIn12の出力端子に接続されたpチャネル型トランジスタT1及びnチャネル型トランジスタT2で構成されている。

【0036】他の構成(3個のインバータ回路と2個の転送ゲート)については、実施の形態1に示した接続と同じであり、全ての転送ゲートGには同一のクロック信号CLKが入力されている。

【0037】したがって、クロック信号CLKがハイレ

ベルにある時には、nチャネル型トランジスタからなる転送ゲートG1が導通し、pチャネル型トランジスタからなる転送ゲートG2は非導通状態となり、一方、クロック信号CLKがローレベルにある時には、pチャネル型トランジスタからなる転送ゲートG2が導通し、nチャネル型トランジスタからなる転送ゲートG1は非導通状態となるので、半クロック毎に信号が次段のシフトレジスタに転送される。

【0038】ここで、クロック信号CLKの振幅がシフトレジスタ回路の駆動電源と同一である場合には、転送信号のレベルダウンが生じる可能性があるが、本構成では、レベル補償用トランジスタT1, T2により、このレベルダウンを補償(回復)させている。すなわち、インバータIn12への入力信号がレベルダウンしたハイレベル(VCCより僅かに低い電圧)である時には、インバータIn12の出力端子がローレベルになるので、pチャネル型補償用トランジスタT1が導通し、インバータIn12の入力端子のレベルは電源電位(VCC)となる。逆に、インバータIn12への入力信号がレベルダウンしたローレベル(GNDより僅かに高い電圧)である時には、インバータIn12の出力端子がハイレベルになるので、nチャネル型補償用トランジスタT2が導通し、インバータIn12の入力端子のレベルは接地電位(GND)となる。

【0039】その結果、実施の形態2の場合と同様に、転送ゲートが片チャネルのトランジスタのみで構成されている場合にも、転送信号のレベルダウン(振幅の低下)が発生しないため、より安定した動作が得られる。更に、中間レベルの電圧(レベルダウンした信号)がインバータに入力されることがないため、インバータに貫通電流が流れない。したがって、シフトレジスタ回路の消費電流の増加を抑えることができる。

【0040】もちろん、実施の形態1における効果、すなわち、シフトレジスタ回路を動作させるために必要なクロック信号線が1本となるため消費電力も大幅に低減されることは言うまでもない。

【0041】(実施の形態4) 図4は、本発明に係る画像表示装置の構成例を示した図である。また、図4は、図4に示した画像表示装置の各画素PIXの内部構成を示した図である。

【0042】この画像表示装置の構成等については、従来技術で説明したものと同じである。また、この画像表示装置を構成するデータ信号線駆動回路SDおよび走査信号線駆動回路GDについても、従来技術で示したものと同様の回路を用いることができる。

【0043】ここで、図4におけるデータ信号線駆動回路SDおよび走査信号線駆動回路GDの少なくとも一方が、実施の形態1ないし3に示したシフトレジスタ回路を有することにより、上記理由により、消費電力の低減と回路動作の安定化が図られる。その結果、低消費電力

で高画質の画像表示装置を提供することが可能となる。
【0044】(実施の形態5)図6は、本発明に係る画像表示装置の構成例を示した図である。

【0045】図6において、画像表示装置の画素アレイARYと、データ信号線駆動回路SDおよび走査信号線駆動回路GDは、同一の絶縁性基板Sub上に、多結晶シリコン薄膜トランジスタを用いて形成されている。そして、実施の形態4の場合と同様に、データ信号線駆動回路SDおよび走査信号線駆動回路GDの少なくとも一方が、実施の形態1ないし3に示したシフトレジスタ回路を有している。

【0046】多結晶シリコン薄膜トランジスタは、その製造プロセスや材料物性の制約から、単結晶基板上のトランジスタよりも駆動電圧を高く設定せざるを得ないため、同一回路を構成した場合、消費電力が大きくなるという問題がある。このような場合に、クロック配線での消費電力を低減できる上記シフトレジスタ回路を用いることは、非常に有効である。

【0047】また、外部接続端子の数が削減されるので、更に、コストの低減や信頼性の向上を図ることができる。

【0048】ところで、上記各実施の形態において、多数のシフトレジスタ回路が並列して存在する場合にも適用することができる。この場合には、各系列のシフトレジスタが、それぞれ1本のクロック信号線で駆動されることになる。

【0049】

【発明の効果】本発明のシフトレジスタ回路においては、シフトレジスタ回路を駆動するためのクロック信号線をただ1本としているので、消費電力を大幅に削減することができる。また、スタティック型の回路構成をとっているので、安定した動作が期待できる。

【0050】また、本発明のシフトレジスタ回路においては、クロック信号の振幅を駆動電源よりも大きくしているので、より安定した動作が保証されるとともに、インバータの貫通電流による消費電力を削減することができる。

【0051】また、本発明のシフトレジスタ回路においては、レベル補償用トランジスタを有しているので、より安定した動作が保証されるとともに、インバータの貫通電流による消費電力を削減することができる。

【0052】また、本発明の画像表示装置においては、データ信号線駆動回路および走査信号線駆動回路の少なくとも一方が上記シフトレジスタ回路を有しているので、画像表示装置の低消費電力化と高画質化が図られる。

【0053】また、本発明の画像表示装置においては、画素アレイとデータ信号線駆動回路および走査信号線駆動回路が同一基板上に形成されているので、画像表示装置の小型化および低コスト化が実現されると同時に、上

記シフトレジスタ回路を有しているため、画像表示装置の低消費電力化と高画質化が図られる。

【図面の簡単な説明】

【図1】本発明に係るシフトレジスタ回路の構成例を示す回路図である。

【図2】本発明に係るシフトレジスタ回路への入力信号の波形を示す図である。

【図3】本発明に係るシフトレジスタ回路の他の構成例を示す回路図である。

【図4】本発明に係る画像表示装置の構成例を示すブロック図である。

【図5】図4に示す画像表示装置を構成する画素構造の例を示す図である。

【図6】本発明に係る画像表示装置の他の構成例を示すブロック図である。

【図7】図4に示す画像表示装置を構成するデータ信号線駆動回路の構成例を示すブロック図である。

【図8】図4に示す画像表示装置を構成する走査信号線駆動回路の構成例を示すブロック図である。

【図9】従来のシフトレジスタ回路の構成例を示す回路図である。

【図10】従来のシフトレジスタ回路の他の構成例を示す回路図である。

【図11】図10に示すシフトレジスタ回路を構成するクロックトインバータの内部構成の例を示す図である。

【図12】従来のシフトレジスタ回路の他の構成例を示す回路図である。

【符号の説明】

In1, In2, In3, In11, In12, In13, In14, In15, In16
インバータ回路

G1, G2, G3, G4, G11, G12, G13, G14
転送ゲート

T1, T2, T3, T4
トランジスタ
N1, N2, N3, N4
出力端子

SR
シフトレジスタ

CLK, /CLK
クロック信号

SRT, SPS, SPG
スタート信号

GPS
パルス信号

ARY
画素アレイ

VCC, VSH, VGH
電源端子

GND, VSL, VGL
接地端子

COM
共通電極端子

VGEN
電源電圧生成回路

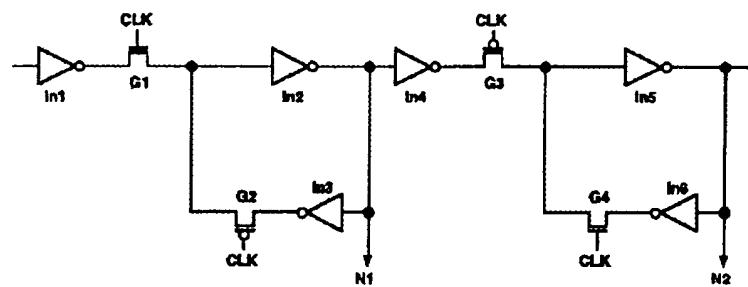
CTL
タイミング信号

生成回路
SL
データ信号線

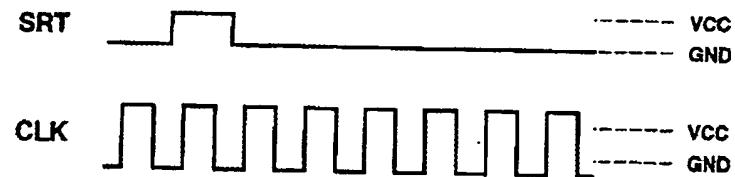
GL
走査信号線

SD 動回路	データ信号線駆 走査信号線駆動	Cs SW (トランジスタ) DAT Sub	補助容量 画素スイッチ 映像信号 絶縁性基板
GD 回路			
PIX	画素		
CI	液晶容量		

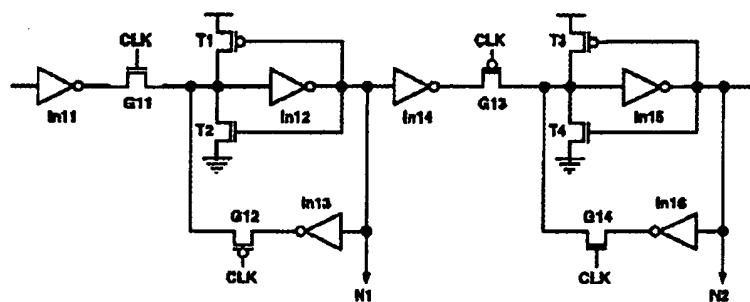
【図1】



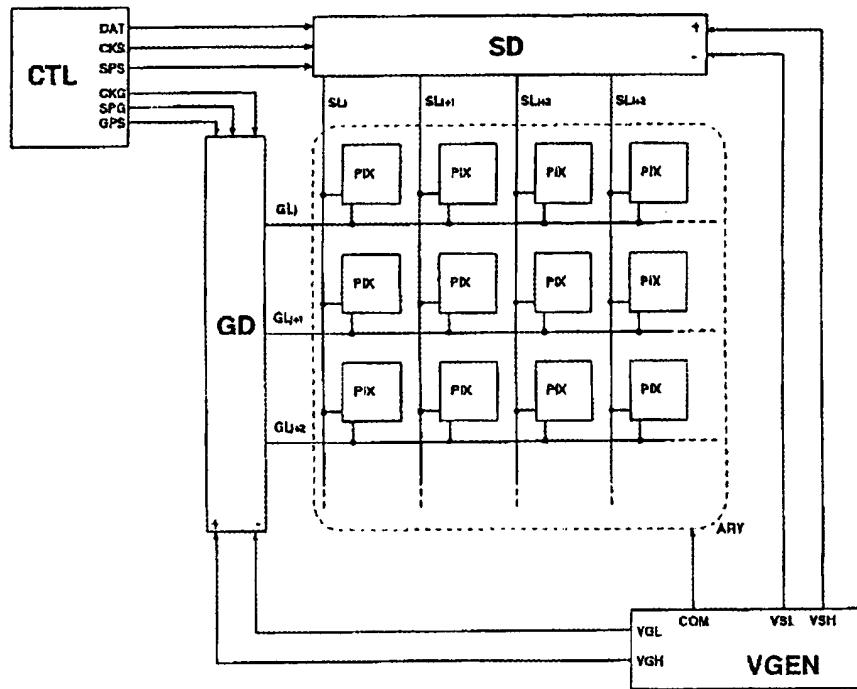
【図2】



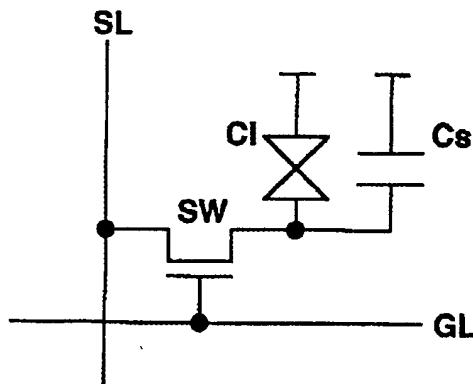
【図3】



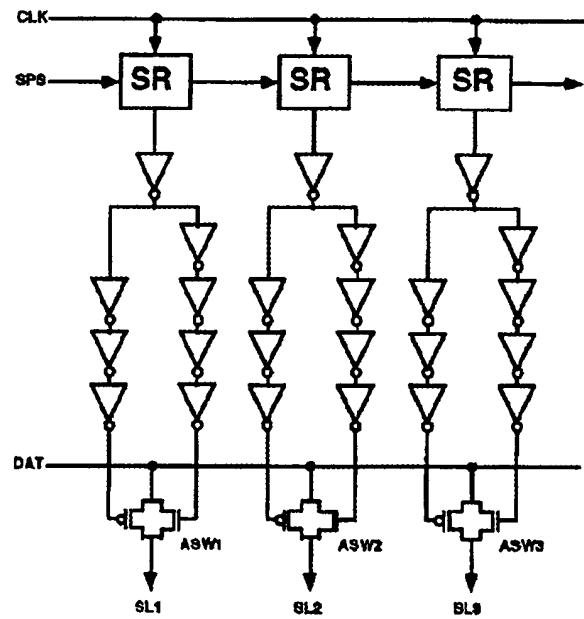
【図4】



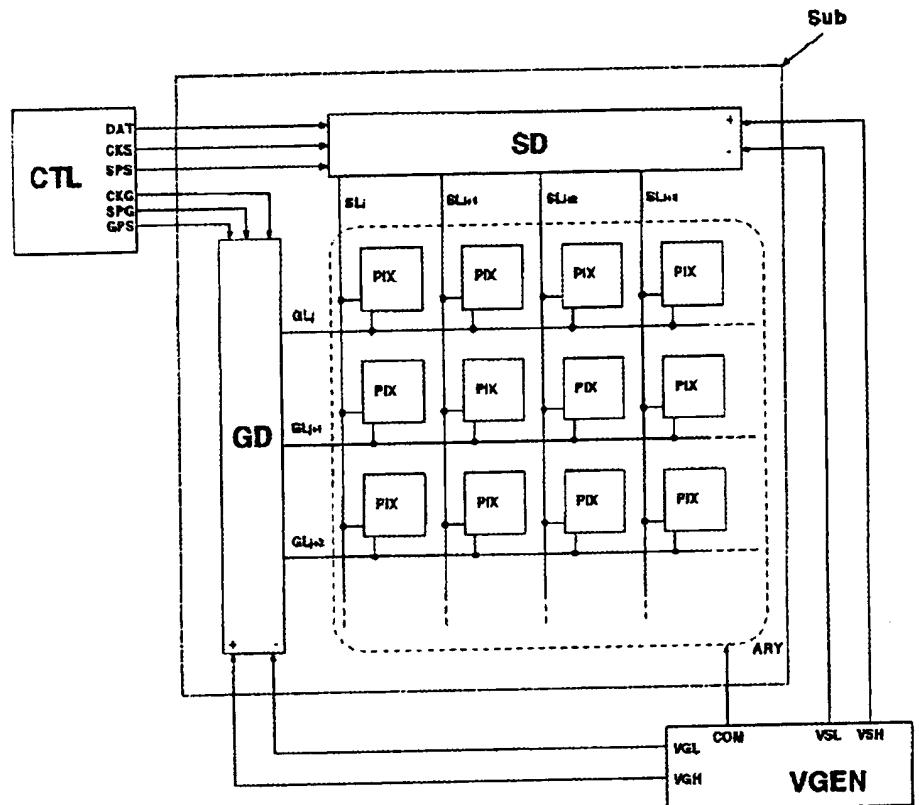
【図5】



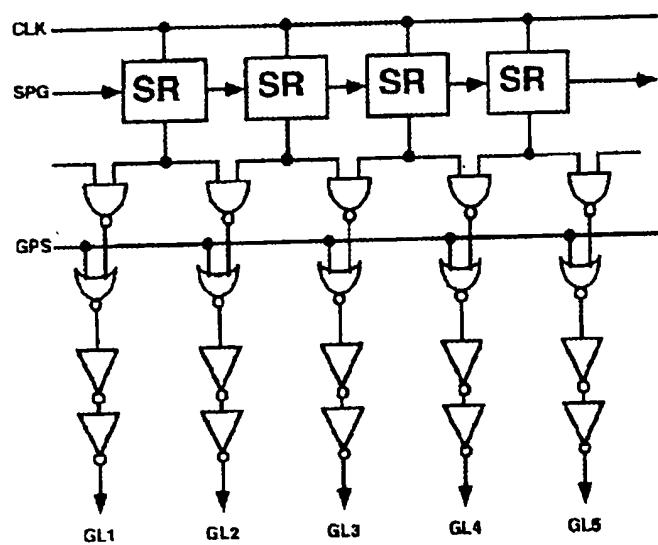
【図7】



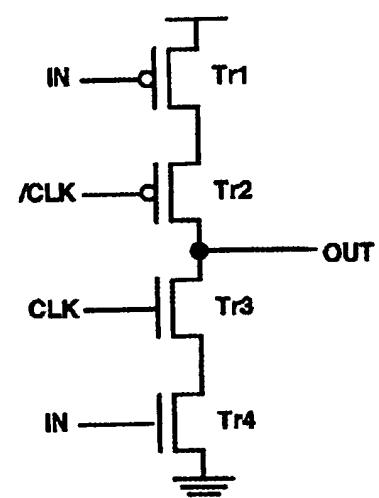
【図6】



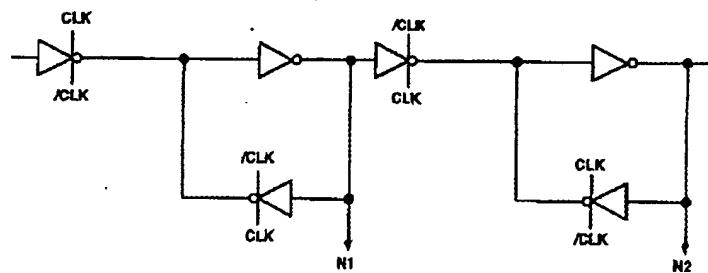
【図8】



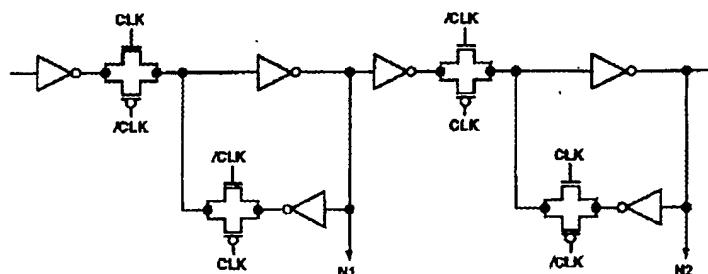
【図11】



【図9】



【図10】



【図12】

